### **Plan de Test**

### **Scénario de Test 1 : Validation de la Sortie nOC**

#### **1. Nom du Test**

* Validation de la Sortie nOC (Overcurrent Protection)

#### **2. Objectif**

* Vérifier que la sortie nOC des comparateurs réagit correctement en fonction des seuils OCP+ et OCP-. Ces seuils définissent les limites de courant pour détecter une surintensité :
  + Si le signal d'entrée est inférieur à OCP- (1,27V) ou supérieur à OCP+ (3,73V), la sortie nOC doit être activée (valeur logique 0).
  + Si le signal d'entrée est entre OCP- et OCP+, la sortie nOC doit être désactivée (valeur logique 1).

#### **3. Description du Test**

* Ce test implique l'application de différents niveaux de tension aux entrées des comparateurs et l'observation de la sortie nOC.

#### **4. Résultats Attendus**

* **Tension < OCP- (1,27V)** : La sortie nOC doit être à 0 (activation de la protection contre la surintensité).
* **Tension entre OCP- et OCP+ (1,27V - 3,73V)** : La sortie nOC doit être à 1.
* **Tension > OCP+ (3,73V)** : La sortie nOC doit être à 0.

**5.** **Table de Vérité**

| Tension D'entrée (V) | nOC (Sortie) |
| --- | --- |
| < 1,27 | 0 |
| 1,27 - 3,73 | 1 |
| > 3,73 | 0 |

### **Scénario de Test 2 : Validation de la Sortie nOV**

#### **1. Nom du Test**

* Test de Validation de la Sortie nOV du Comparateur Analogique

#### **2. Objectif**

* Vérifier que la sortie nOV se comporte correctement en fonction de la tension d'entrée DOUT par rapport au seuil de 1V :
  + Si DOUT est inférieur ou égal à 1V, la sortie doit être 1.
  + Si DOUT est supérieur à 1V, la sortie doit être 0.

#### **3. Description du Test**

* Ce test consiste à appliquer des tensions spécifiques à l'entrée DOUT et à observer la réponse de la sortie du comparateur nOV.

#### **4. Résultats Attendus**

* La sortie nOV doit être 1 pour toutes les valeurs de DOUT comprises entre 0V et 1V.
* La sortie nOV doit être 0 pour toute valeur de DOUT supérieure à 1V.

**5.** **Table de Vérité pour le Comparateur**

| DOUT (V) | Seuil (V) | Sortie nOV |
| --- | --- | --- |
| 0 - 1 | 1 | 1 |
| > 1 | 1 | 0 |

### **Scénario de Test 3 : Validation du Bloc de Latch**

#### **1. Nom du Test**

* Test de Validation des Fonctionnalités du Bloc de Latch

#### **2. Objectif**

* Vérifier que le bloc de latch se comporte correctement en fonction des entrées RESET, noc, et nov, et que les sorties noc Latched et nov Latched suivent la table de vérité spécifiée.

#### **3. Description du Test**

* Ce test consiste à appliquer les combinaisons d’entrées spécifiées dans la table de vérité au bloc de latch, puis à vérifier si les sorties correspondent aux résultats attendus.

#### **4. Résultats Attendus**

* Les sorties doivent correspondre exactement à la table de vérité spécifiée pour chaque combinaison d'entrées.

**5.** **Table de Vérité**

Voir Excel Plan\_De\_Test ( scénario 3 )

### **Scénario de Test 4 : Validation de la Sortie DRV\_ASC\_EN\_ISO**

#### **1. Nom du Test**

* Test de Validation de la Sortie DRV\_ASC\_EN\_ISO

#### **2. Objectif**

* Vérifier que la sortie DRV\_ASC\_EN\_ISO se comporte correctement selon l'équation logique définie :

DRV\_ASC\_EN\_ISO = !( nOC\_LATCHED & nOV\_LATCHED & PMIC\_nSS1 & DRV\_HS\_nFLT1 & DRV\_LS\_nFLT1 & SUP\_DCDC\_nUVLO & PS\_nDIS\_PWM & PS\_nDIS\_PWM\_BIS )

* Assurer que la sortie est correctement activée ou désactivée en fonction des états des entrées associées.

#### **3. Description du Test**

* Ce test consiste à appliquer différentes combinaisons d’entrées aux signaux nOC\_LATCHED, nOV\_LATCHED, PMIC\_nSS1, DRV\_HS\_nFLT1, DRV\_LS\_nFLT1, SUP\_DCDC\_nUVLO, PS\_nDIS\_PWM, et PS\_nDIS\_PWM\_BIS, puis à vérifier la sortie DRV\_ASC\_EN\_ISO.

#### **4. Résultats Attendus**

* La sortie DRV\_ASC\_EN\_ISO doit être 0 uniquement lorsque toutes les entrées sont 1.
* La sortie doit être 1 pour toutes les autres combinaisons d’entrées.

**5.** **Table de Vérité**

Voir Excel Plan\_De\_Test ( scénario 4 )

### **Scénario de Test 5 : Validation de la Sortie DRV\_ASC\_ISO\_HS**

#### **1. Nom du Test**

* Test de Validation de la Sortie DRV\_ASC\_ISO\_HS

#### **2. Objectif**

* Vérifier que la sortie DRV\_ASC\_ISO\_HS se comporte comme prévu en fonction de l'équation logique donnée :

DRV\_ASC\_ISO\_HS = ASC & PS\_ASC\_SEL & DRV\_xx\_nFLT1 & SUP\_DCDC\_nUVLO

* S'assurer que la sortie est activée ou désactivée correctement selon l'état des signaux d'entrée.

#### **3. Description du Test**

* Ce test vise à vérifier le comportement de la sortie DRV\_ASC\_ISO\_HS en testant diverses combinaisons des signaux d'entrée ASC, PS\_ASC\_SEL, DRV\_xx\_nFLT1, et SUP\_DCDC\_nUVLO.

#### **4. Résultats Attendus**

* La sortie DRV\_ASC\_ISO\_HS doit être 1 uniquement si toutes les entrées (ASC, PS\_ASC\_SEL, DRV\_xx\_nFLT1, SUP\_DCDC\_nUVLO) sont 1.
* La sortie doit être 0 si l'une des entrées est 0.

**5.** **Table de Vérité**

Voir Excel Plan\_De\_Test ( scénario 5 )

### **Scénario de Test 6 : Validation de la Sortie DRV\_ASC\_ISO\_LS**

#### **1. Nom du Test**

* Test de Validation de la Sortie DRV\_ASC\_ISO\_LS

#### **2. Objectif**

* Vérifier que la sortie DRV\_ASC\_ISO\_LS fonctionne correctement selon l'équation logique définie :

DRV\_ASC\_ISO\_LS = ASC & ! (PS\_ASC\_SEL & DRV\_xx\_nFLT1 & SUP\_DCDC\_nUVLO)

* Confirmer que la sortie est activée ou désactivée selon l'état des signaux d'entrée.

#### **3. Description du Test**

* Ce test consiste à appliquer différentes combinaisons des signaux d'entrée ASC, PS\_ASC\_SEL, DRV\_xx\_nFLT1, et SUP\_DCDC\_nUVLO pour vérifier la logique de la sortie DRV\_ASC\_ISO\_LS.

#### **4. Résultats Attendus**

* La sortie DRV\_ASC\_ISO\_LS doit être 1 lorsque ASC est 1 et que l’un des signaux (PS\_ASC\_SEL, DRV\_xx\_nFLT1, SUP\_DCDC\_nUVLO) est 0.
* Dans tous les autres cas, la sortie doit être 0.

**5.** **Table de Vérité**

Voir Excel Plan\_De\_Test ( scénario 6 )

### **Scénarios de Test 7 : Vérification Temporelle des Sorties de Protection**

Les tests ci-dessous visent à vérifier la réponse temporelle des sorties de protection en fonction des entrées de détection de surtension, sous-tension DCDC et autres défauts, conformément aux exigences du cahier des charges.

#### **Test 1 : Déclenchement de la Sortie ASC (Surtension)**

* **Objectif** : Vérifier que la sortie ASC se déclenche rapidement après la détection d'une surtension.
* **Critère temporel** : Le déclenchement doit se faire en moins de 10 µs après la détection de la surtension.

##### **Étapes du Test :**

1. Appliquer une surtension à l'entrée de détection de surtension (en prenant une valeur qui dépasse le seuil de surtension).
2. Mesurer le temps écoulé entre l'instant où la surtension est appliquée et l'instant où la sortie ASC se déclenche.
3. Vérifier que le temps écoulé est inférieur à 10 µs.

##### **Résultats Attendus :**

* Le temps de déclenchement de la sortie ASC doit être inférieur à 10 µs, conformément aux spécifications.

#### **Test 2 : Déclenchement de la Sortie FW (DRV\_ASC\_EN\_ISO=1, DRV\_ASC\_ISO\_HS=0, DRV\_ASC\_ISO\_LS=0) (Sous-tension DCDC)**

* **Objectif** : Vérifier que la sortie FW se déclenche rapidement après la détection d'une sous-tension DCDC.
* **Critère temporel** : Le déclenchement doit se faire en moins de 100 µs après la détection de la sous-tension DCDC.

##### **Étapes du Test :**

1. Appliquer une sous-tension à l'entrée de détection de sous-tension DCDC. (SUP\_DCDC\_PGOOD = 0 )
2. Mesurer le temps écoulé entre l'instant où la sous-tension est appliquée et l'instant où la sortie FW se déclenche.
3. Vérifier que le temps écoulé est inférieur à 100 µs.

##### **Résultats Attendus :**

* Le temps de déclenchement de la sortie FW doit être inférieur à 100 µs, conformément aux spécifications.

#### **Test 3 : Déclenchement des Sorties**

#### **LS-ASC ( DRV\_ASC\_EN\_ISO=1, DRV\_ASC\_ISO\_HS=0, DRV\_ASC\_ISO\_LS=1 ) et HS-ASC ( DRV\_ASC\_EN\_ISO=1, DRV\_ASC\_ISO\_HS=1, DRV\_ASC\_ISO\_LS=0 )**

* **Objectif** : Vérifier que les sorties LS-ASC et HS-ASC se déclenchent correctement après la réception des défauts associés.
* **Critère temporel** : Le déclenchement des sorties LS-ASC et HS-ASC doit se faire en moins de 100 µs après la détection du défaut.

##### **Étapes du Test :**

1. Appliquer un défaut pour activer soit la sortie LS-ASC soit la sortie HS-ASC.
2. Mesurer le temps écoulé entre la détection du défaut et le déclenchement de la sortie correspondante (LS-ASC ou HS-ASC).
3. Vérifier que le temps de déclenchement est inférieur à 100 µs.

##### **Résultats Attendus :**

* Le temps de déclenchement des sorties LS-ASC ou HS-ASC doit être inférieur à 100 µs, conformément aux spécifications.

## **Scénarios de Test 8 : Vérifications en Conditions Limites**

Cette section couvre les tests visant à valider le comportement de la puce dans des scénarios critiques ou à la limite de son fonctionnement normal. Les vérifications portent sur les transitions d’état, les variations d’alimentation, et les impacts des conditions environnementales comme la température. L’objectif est d’identifier d’éventuelles anomalies, telles que des glitchs ou des instabilités

#### **Test 1 : Démarrage et Mise Sous Tension**

### **Objectif :**

### Vérifier que la puce démarre correctement et atteint son état stable sans glitch lors de l'application d'une alimentation.

##### **Étapes du Test :**

1. Appliquer une montée progressive de l'alimentation VDD de 0V à 5V.
2. Surveiller les sorties logiques et vérifier l'absence de glitch pendant la transition.
3. Confirmer que tous les blocs fonctionnent correctement une fois l'alimentation stabilisée à 5V.

##### **Résultats Attendus :**

### Les sorties logiques restent stables et atteignent leur état prévu sans oscillations ni erreurs.

#### **Test 2 : Arrêt et Mise Hors Tension**

### **Objectif :**

### Valider que la puce s'arrête correctement sans comportement imprévu lorsque l'alimentation est coupée.

##### **Étapes du Test :**

### Réduire l'alimentation progressivement de 5V à 0V.

### Observer les états des sorties logiques et détecter d'éventuels glitchs.

##### **Résultats Attendus :**

### Les sorties logiques retournent à un état connu ou restent dans l'état attendu.

## **Test 3 : Réinitialisation de l’ASIC**

### **Objectif :**

### S'assurer que la fonction de réinitialisation force correctement tous les blocs à retourner à leurs états initiaux.

##### **Étapes du Test :**

### Appliquer un signal de réinitialisation (nRESET\_LATCHES).

### Vérifier que tous les états internes et les sorties logiques retournent à leur configuration initiale.

### Tester la réinitialisation avec des tensions d'alimentation variables (2V, 3.3V, 5V).

##### **Résultats Attendus :**

### L'état des registres et sorties est conforme aux valeurs par défaut après la réinitialisation.

## **Test 4 : Résilience à la Température**

### **Objectif :**

### Vérifier que la puce fonctionne correctement dans les plages de température spécifiées.

##### **Étapes du Test :**

### Soumettre la puce à des températures variées (-40°C, 25°C, 85°C).

### Mesurer la stabilité des sorties logiques et la performance des comparateurs (nOV, nOC).

##### **Résultats Attendus :**

### Les fonctionnalités restent inchangées et aucune dégradation des performances n'est observée.

## **Scénario de Test finale: Comparaison avec la Solution Actuelle**

### **Objectif :**

Comparer les performances et le comportement de la puce SLG46625 avec le circuit logique actuel pour valider la substitution.

##### **Étapes du Test :**

1. Exécuter les mêmes scénarios de test sur le circuit logique actuel et la puce SLG46625.
2. Mesurer les performances (temps de réponse, consommation d'énergie, stabilité des sorties, etc.) pour les deux solutions.
3. Comparer les résultats obtenus en termes de fiabilité, efficacité et conformité avec les exigences.

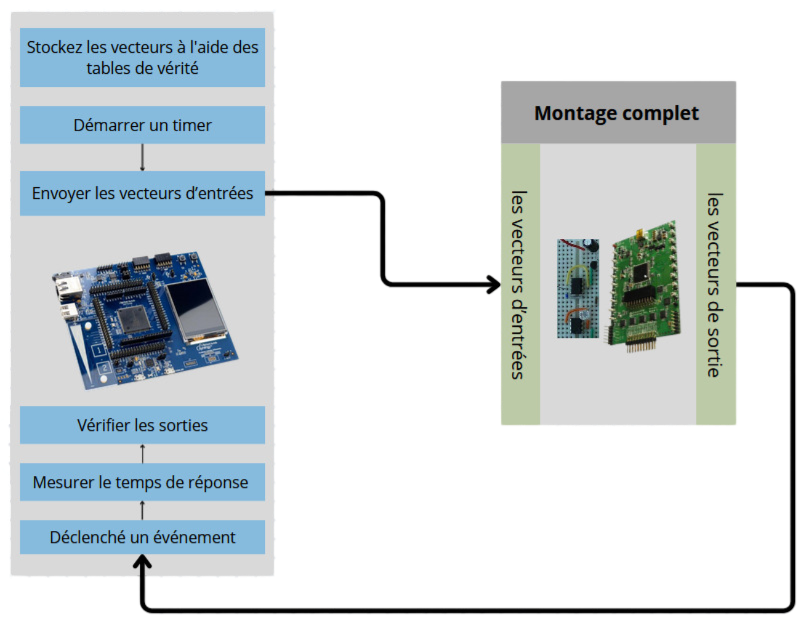
##### **Résultats Attendus :**

* La puce SLG46625 doit offrir des performances égales ou supérieures à celles du circuit logique actuel.
* Les résultats des tests doivent démontrer une conformité complète avec les spécifications client.

### 

### **Automatisation des tests :**

Pour simplifier la phase de test, nous utilisons un microcontrôleur (Renesas SK-S7G2) externe afin d’automatiser les tests et d’optimiser le temps nécessaire à leur réalisation. Voici le fonctionnement de notre système d’automatisation :



Les vecteurs d’entrée nécessaires pour tester le circuit sont définis et stockés en fonction des tables de vérité dans le microcontrôleur. Ces vecteurs serviront à stimuler le circuit durant les tests.

Un timer est initialisé pour mesurer précisément les performances temporelles du circuit logique testé.

Le microcontrôleur représenté à gauche du schéma est chargé d’envoyer les vecteurs d’entrée au montage complet (le circuit logique à tester) via une interface matérielle.

Le montage complet, représenté à droite, reçoit les vecteurs d’entrée, effectue son traitement logique, et renvoie les vecteurs de sortie correspondants. Les sorties obtenues sont comparées aux résultats attendus (en fonction des tables de vérité) pour valider la correction fonctionnelle du circuit.

Le temps pris par le circuit logique pour répondre est mesuré à l’aide du timer précédemment initialisé. Cette étape permet d’évaluer les performances temporelles du circuit.