**Explication du Reset**

Le fonctionnement théorique a été modélisé à partir du circuit suivant :

Une image contenant texte, diagramme, ligne, Police

Description générée automatiquement

Nous avons établi la table de vérité correspondante :

|  |  |  |  |
| --- | --- | --- | --- |
| RESET | nOC | nOC Latched | oc Latched |
| (↓) | 0 | 0 | 1 |
| (↓) | 1 | 1 | 0 |
| (↑) | 0 | 0 | 1 |
| (↑) | 1 | M | M |

Voici la simulation de ce circuit sur le logiciels Go configure de GreenPAK :

Une image contenant capture d’écran, ligne

Description générée automatiquement

Nous allons analyser les quatre cas simulés :

**1er cas :**

Lorsque nOC est à 0 et qu’il y a un front descendant de RESET, la sortie nOC\_latched passe correctement à 1.

**2ème cas :**

Si nOC est à l’état bas (indiquant une surintensité, overcurrent) et qu’on appuie sur RESET, la simulation montre que la sortie nOC\_latched reste à l’état bas. Cela signifie que tant que la surintensité n’est pas résolue, le système reste dans un état de défaillance.

**3ème cas :**

Si nOC est à l’état haut et qu’on appuie sur RESET, on observe que la sortie, précédemment à l’état bas (indiquant une défaillance), passe à l’état haut. Cela représente un retour à un état stable pour le circuit.

**4ème cas :**

Si l’on appuie sur RESET au moment où le problème est détecté, le signal de sortie nOC\_latched reste à 0 (indiquant un état de défaillance).